

# ELECTRODE FOR FORMING SCHOTTKY BARRIER AND MANUFACTURE THEREOF

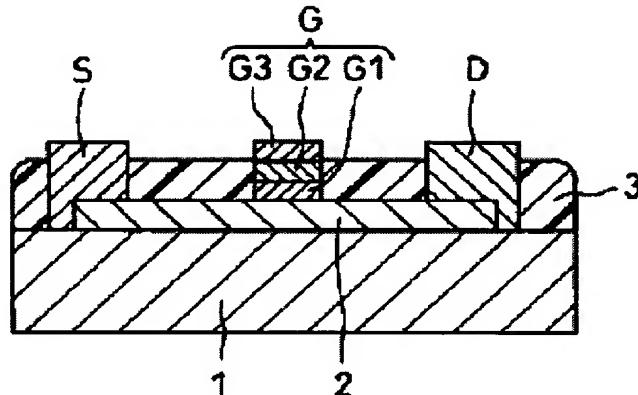
Patent number: JP11354817  
Publication date: 1999-12-24  
Inventor: SUZUKI YUZURU  
Applicant: FURUKAWA ELECTRIC CO LTD:THE  
Classification:  
- international: H01L29/872; H01L29/12; H01L21/338; H01L29/812  
- european:  
Application number: JP19980155061 19980603  
Priority number(s):

Also published as:  
 JP11354817 (A)

## Abstract of JP11354817

**PROBLEM TO BE SOLVED:** To form a high Schottky barrier even at a high temp., by laminating a Pt layer, Ti layer and Au layer on a III-V nitride compd. semiconductor layer.

**SOLUTION:** On an Si substrate 1 a III-V nitride compd. semiconductor such as an n-type GaN e.g. is grown epitaxially through an insulation layer and a buffer layer and doped with an n-type impurity to form an n-type active layer 2. On the layer 2 a source electrode S and a drain electrode D are mounted, a gate electrode G is mounted as a Schottky barrier forming electrode, the device surface is covered with an insulation film 3 of SiO<sub>2</sub>, etc., except the mounting regions of these electrodes where the gate electrode G has a three-layer structure composed of the Pt, Ti and Au layers laminated in this order, and with this structure a high Schottky barrier can be formed on the n-type active layer 2.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-354817

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.<sup>\*</sup>  
H 01 L 29/872  
29/12  
21/338  
29/812

識別記号

F I  
H 01 L 29/48  
29/12  
29/80

H  
F

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21)出願番号 特願平10-155061

(22)出願日 平成10年(1998)6月3日

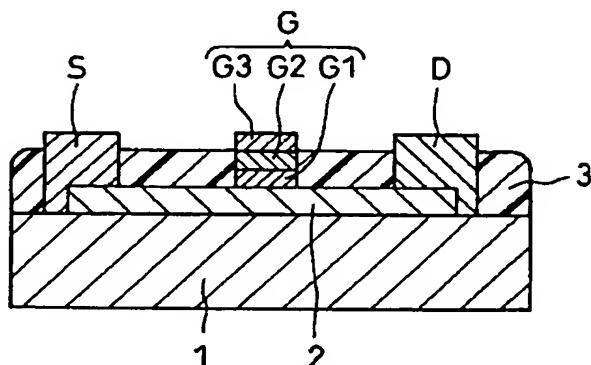
(71)出願人 000005290  
古河電気工業株式会社  
東京都千代田区丸の内2丁目6番1号  
(72)発明者 鈴木 誠  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内  
(74)代理人 弁理士 長門 侃二

(54)【発明の名称】ショットキー障壁形成用電極とその製造方法

(57)【要約】

【課題】 高温下においても、III-V族窒化物系化合物半導体層に高いショットキー障壁ハイドを形成せしめ、また前記半導体層との密着性も優れ、更にはAuリード線との接続時における接触抵抗も小さくなるショットキー障壁形成用電極とその製造方法を提供する。

【解決手段】 この電極Gは、III-V族窒化物系化合物半導体層2の上に、Pt層G1, Ti層G2, Au層G3をこの順序で積層して形成されている。



## 【特許請求の範囲】

【請求項1】 III-V族窒化物系化合物半導体層の上に形成され、Pt層とTi層とAu層とをこの順序で積層して成ることを特徴とするショットキー障壁形成用電極。

【請求項2】 III-V族窒化物系化合物半導体層の上に、Pt, Ti, Auをこの順序で積層することを特徴とするショットキー障壁形成用電極の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はショットキー障壁形成用電極とその製造方法に関し、更に詳しくは、高温下においても、優れたショットキーダイオード特性を実現せしめ、装荷箇所との密着性も優れ、またリード線との間の接触抵抗も小さくなるショットキー障壁形成用電極とそれを製造する方法に関する。

## 【0002】

【従来の技術】GaN, InGaN, AlGaN, AlInGaNなどに代表されるIII-V族窒化物系化合物半導体は、その禁止帯幅が大きく、かつ直接遷移型であり、しかも高温動作が優れているということから、これらの材料を用いて、発光ダイオードやレーザダイオードなどの発光素子、フォトダイオードやフォトトランジスタなどの受光素子、更には電界効果トランジスタ(FET)や高移動度トランジスタ(HEMT)などの電子デバイスの研究開発が進められている。

【0003】また、III-V族窒化物系化合物半導体は、半導体の中でも原子間距離が近いため、放射線によるダメージを受けにくく、耐放射線用電子デバイスに適しており、宇宙分野などにおいても研究開発が進められている。

【0004】例えば、FETを製造する場合、まず、半絶縁性の基板の上に所定組成のIII-V族窒化物系化合物半導体を順次エピタキシャル成長させ、最表層がn型の活性層である積層構造が形成される。そして、前記活性層の所定箇所には、当該活性層とオミック接觸するソース電極とドレイン電極が装荷され、またこれら電極の間にゲート電極が装荷され、ソース電極とドレイン電極にはそれぞれリード線が接続されて順バイアス電圧が印加され、またゲート電極にもリード線が接続され、ここには逆バイアス電圧が印加される。

【0005】この構造のFETの場合、ゲート電極の装荷箇所の直下における前記活性層の表層部には、ショットキー障壁が形成されてその下に空乏層が広がった状態になっている。そして、FETの動作時には、ソース電極からドレイン電極にかけて、前記空乏層の下に位置する活性層部分(チャネル)を通って電子が流れる。このとき、ゲート電極から印加電圧を変化させることにより前記空乏層の幅、すなわちチャネルの断面積を変化させ、流れる電流の変調が行われる。

【0006】ここで、ゲート電極の材料としては、活性層に高いショットキー障壁ハイドを形成できる材料であることが好ましい。例えば、Ptは前記活性層に約1.1eVのショットキー障壁ハイドを形成することができるるので好適な材料であるといふことができる。

【0007】しかしながら、Pt単独で構成したゲート電極の場合には、それが装荷されている活性層のエピタキシャル成長面との間の密着性が悪く、剥離するという事態が起こりやすい。また、このPt電極にリード線として常用されているAuリード線を接続すると、異種金属間の接続であるため接触抵抗は大きくなり、FET動作時のロスが問題として浮かび上がってくる。

【0008】上記したエピタキシャル成長面との密着性という問題についていえば、Tiは好適な材料である。そのため、GaN, GaInN, GaInP, InPなどで構成されたFETでは、このTiがゲート電極の材料として使用されている。その場合、ゲート電極をTi単独で形成することは行われず、Ti層とPt層とAu層をこの順序で積層した構造(Ti/Pt/Au)にして装荷されているのが通例である。

【0009】そして、III-V族窒化物系化合物半導体の前記した活性層に装荷されるゲート電極に対しても、上記したTi/Pt/Au積層構造がそのまま転用される場合が多い。

## 【0010】

【発明が解決しようとする課題】しかしながら、上記した積層構造のゲート電極の場合、Ti層がエピタキシャル成長面に直接形成されており、また最上層がAuリード線と同じAuで形成されているので、当該エピタキシャル成長面との密着性が高くなり、またAuリード線との接触抵抗も小さくなるという点では好ましいとはいえる。FET動作時の温度が550°Cを超えるような高温になると、Ti電極表面の変色から始まり、やがて酸化して電極特性の劣化が起こるという問題がある。

【0011】すなわち、この積層構造のゲートの場合、550~1000°Cでも動作可能な対高温用デバイスのゲート電極として好適であるとはいいがたい。

【0012】本発明は、III-V族窒化物系化合物半導体の活性層に装荷される従来構造のゲート電極における上記した問題を解決し、高温下においても高いショットキー障壁ハイドを形成でき、エピタキシャル成長面との密着性も優れており、またAuリード線との接触抵抗も小さくなるショットキー障壁形成用電極とその製造方法の提供を目的とする。

## 【0013】

【課題を解決するための手段】上記した目的を達成するために、本発明においては、III-V族窒化物系化合物半導体層の上に形成され、Pt層とTi層とAu層とをこの順序で積層して成ることを特徴とするショットキー障壁形成用電極が提供され、また、III-V族窒化物系

化合物半導体層の上に、Pt, Ti, Auをこの順序で積層することを特徴とするショットキー障壁形成用電極の製造方法が提供される。

## 【0014】

【発明の実施の形態】図1に、本発明の電極が装荷されているプレーナ型FETの層構造例を示す。図1において、例えばSi基板1の上に、絶縁層とバッファ層（いずれも図示しない）を介して例えばn型GaNのようなIII-V族窒化物系化合物半導体をエピタキシャル成長させ、そこにn型不純物をドーピングすることによりn型活性層2が形成されている。

【0015】そして、上記活性層2の上には、オーミック接触した状態でソース電極Sとドレイン電極Dが装荷され、また、これら電極の間には後述する構造のゲート電極Gがショットキー障壁形成用電極として装荷され、これら電極の装荷箇所を除いたデバイス表面は例えばSiO<sub>2</sub>膜のような絶縁膜3で被覆されている。

【0016】ここで、ゲート電極Gは、Pt層G1とTi層G2とAu層G3をこの順序で積層した3層構造(Pt/Ti/Au)になっている。

【0017】この構造の場合、n型活性層2には高いショットキー障壁ハイトが形成され、また最上部はAu層G3になっているのでAuリード線との接触抵抗は小さくなる。そして、Pt層G1とn型活性層2のエピタキシャル成長面との密着性も良好であり、更にはTi層G2の変色や酸化に基づく電極特性の劣化も起こらない。

【0018】ここで、Pt層G1の厚みが薄すぎると高いショットキー障壁ハイトの形成に難が生じ、また厚すぎるとn型活性層2との密着性が悪くなって電極Gの剥離などが起こりはじめるので、通常は、50～150nmに設定することが好ましい。

【0019】また、Ti層G2の厚みが薄すぎると電極Gのn型活性層2との密着性の低下や電極特性の劣化を招きやすくなり、また厚すぎると、縦方向の接触は抵抗が高くなるという問題が起こりはじめるので、通常は、20～50nmに設定することが好ましい。更に、Au層G3の厚みが薄すぎるとAuリード線との接触抵抗が大きくなり、また厚すぎるとその使用量が増加して経済的に不利となるので、通常は、20～50nmに設定することが好ましい。

【0020】この電極Gは、基板1の上にIII-V族窒化物系化合物半導体を用いて所定のエピタキシャル成長層を順次積層し、最表層がn型活性層2である積層構造を形成し、次いで、この積層構造に対し、常用のホトリソグラフィーとエッチング処理を行って表面加工し、電極Gが装荷されるべき箇所をn型活性層2の表面に形成する。

【0021】そして、これを真空蒸着装置にセットし、まず所定厚みのPt層G1をn型活性層の上に蒸着・形成し、その上に所定厚みのTi層G2を蒸着・形成し、

更にその上に所定厚みのAu層G3を蒸着・形成する。

【0022】最後に、表面全体にリフトオフ処理を行つて所定の電極パターンが形成される。

## 【0023】

【実施例】ゲート電極の装荷が可能である状態になっている基板の前記ゲート電極装荷箇所に以下の条件で各種の電極材料を蒸着した。なお、このときのn型活性層2はn型GaN層である。

【0024】A：真空蒸着装置内の圧を $1.3 \times 10^{-5}$ PaにしてTiを厚み200nm蒸着してゲート電極Gにした。これを比較例電極1とする。

B：真空蒸着装置内の圧を $2.6 \times 10^{-5}$ PaにしてPtを厚み200nm蒸着してゲート電極Gにした。これを比較例電極2とする。

C：真空蒸着装置内の圧を $1.3 \times 10^{-5}$ Paにして、まずTiを厚み50nm蒸着し、真空中度の回復をまってPtを厚み150nm蒸着し、更に真空中度の回復をまってAuを厚み300nm蒸着し、Ti/Pt/Au構造のゲート電極Gにした。これを比較例電極3とする。

D：真空蒸着装置内の圧を $1 \times 10^{-5}$ Paにして、まずPtを厚み100nm蒸着し、真空中度の回復をまってTiを厚み500nm蒸着し、更に真空中度の回復をまってAuを厚み300nm蒸着し、Pt/Ti/Au構造のゲート電極Gにした。これを実施例電極とする。

【0025】なお、いずれの場合も、蒸着終了後には温度90～120°Cで加熱した剥離作用を有するジクロルベンゼンを含む剥離液と剥離液除去作用を有するアセトン、メタノールでリフトオフを行い、電極パターンを形成した。

【0026】以上4種類の試料を、N<sub>2</sub>雰囲気炉に投入して加熱したのち取り出し、ソース電極Sとゲート電極との間に逆バイアス電圧(V)を印加し、そのときのソース電極Sとドレイン電極Dの間に流れる電流(I)を測定してショットキーダイオード特性を調べた。

【0027】結果は、以下の通りであった。

【0028】(1) ゲート電極Gが実施例電極である試料は加熱温度が700°Cになつても、電極Gとn型GaN層との密着性は良好であり、そのときのショットキーダイオード特性は図2で示したとおりの良好な特性を示した。

【0029】(2) ゲート電極Gが比較例電極1である試料は、加熱温度が500°C近辺の時点から電極の変色が起こりはじめ、そのときのショットキーダイオード特性は図3で示したとおりであり、その特性劣化が認められた。

【0030】(3) ゲート電極Gが比較例電極2である試料は、電極パターンの一部に剥離が認められた。しかし、加熱温度が700°Cになつてもそのショットキーダイオード特性は図4で示したとおりであり、良好であつた。

【0031】(4) ゲート電極が比較例電極3である試料は加熱温度が700°Cになんでも電極の変色などは起らなかった。しかし、そのときのショットキーダイオード特性は図5で示したとおりであり、特性の劣化が認められた。

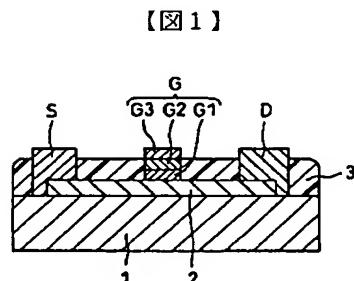
#### 【0032】

【発明の効果】以上の説明で明らかのように、本発明の電極は、例えばn型GaNのようなIII-V族窒化物系化合物半導体から成る活性層を含むFETにゲート電極として装荷すると、高温下においても活性層に高いショットキー障壁ハイドを形成することができ、しかも活性層との密着性も優れている。また、最上層はAu層になっているのでAuリード線との接続時における接触抵抗も小さくなる。

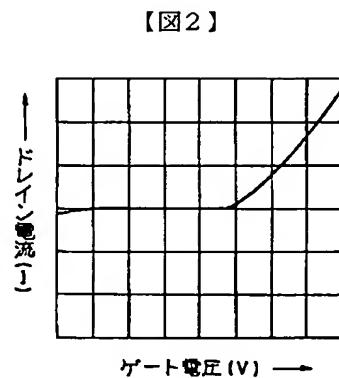
【0033】したがって、本発明の電極は、III-V族窒化物系化合物半導体で構成された耐高温性を備えるデバイスの電極としてその工業的価値は大である。

#### 【図面の簡単な説明】

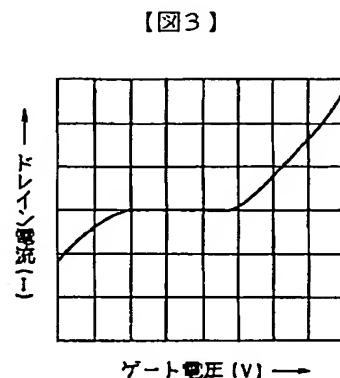
【図1】本発明の電極を備えたプレーナ型FETの構造例を示す断面図である。



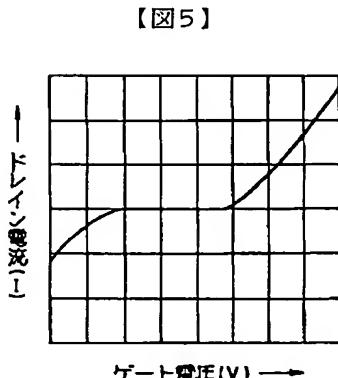
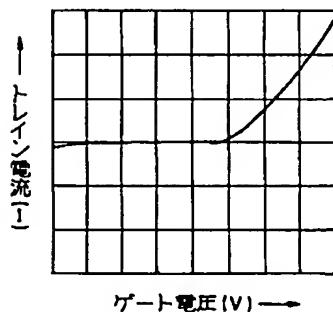
【図4】



【図2】



【図3】



【図5】